

Docket No. 8733.524.00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Young Hun Ha et al.

GAU:

2871

SERIAL NO: 10/026,961

EXAMINER:

TBA

FILED: December 27, 2001

FOR: LIQUID CRYSTAL DISPLAY AND FABRICATING METHOD THEREOF

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number [US App No], filed [US App Dt], is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
KOREA	2000-85363	December 29, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number.  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed; and  
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Date: February 27, 2002

Respectfully Submitted,

LONG ALDRIDGE & NORMAN LLP

Song K. Jung  
Registration No. 35,210

Rebecca A. Goldman

Registration No. 41,786

Sixth Floor  
701 Pennsylvania Avenue, N.W.  
Washington, D.C. 20004  
Tel. (202) 624-1200  
Fax. (202) 624-1298



RECEIVED

MAR -1 2002

TECHNOLOGY CENTER 2000

대한민국 특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE

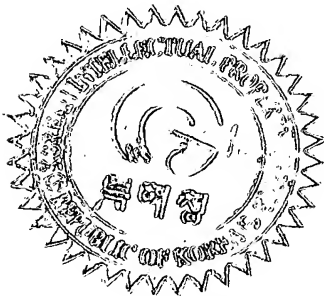
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2000년 제 85363 호  
Application Number

출원년월일 : 2000년 12월 29일  
Date of Application

출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s)



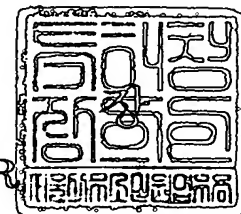
2001 년 04 월 07 일

특

허

청

COMMISSIONER





【서류명】 특허출원서  
【권리구분】 특허  
【수신처】 특허청장  
【참조번호】 0004  
【제출일자】 2000. 12. 29  
【발명의 명칭】 액정표시장치 및 그 제조방법  
【발명의 영문명칭】 Apparatus Liquid Crystal Display and Fabricating Metho Thereof

## 【출원인】

【명칭】 엘지 . 필립스 엘시디 주식회사

【출원인코드】 1-1998-101865-5

## 【대리인】

【성명】 김영호

【대리인코드】 9-1998-000083-1

【포괄위임등록번호】 1999-001050-4

## 【발명자】

【성명의 국문표기】 소재문

【성명의 영문표기】 SO, Jae-Mum

【주민등록번호】 710326-1802811

【우편번호】 730-350

【주소】 경상북도 구미시 임수동 401-3 LG LCD 기숙사 B/504

【국적】 KR

## 【발명자】

【성명의 국문표기】 하영훈

【성명의 영문표기】 HA, YOUNG-Hwn

【주민등록번호】 691025-1802453

【우편번호】 730-380

【주소】 경상북도 구미시 옥계동 대동 한마음 타운 104동 701호

【국적】 KR

## 【발명자】

【성명의 국문표기】 김중우

【성명의 영문표기】 KIM, Jong-Woo

【주민등록번호】 650702-1460411



1020000085363

2001/4/

【우편번호】	730-011
【주소】	경상북도 구미시 원평1동 삼우 궁전아파트 1404호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 호 (인) 김영
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	11 면 11,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	40,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 액정표시장치 및 그 제조방법에 관한 것이다.

본 발명에 따른 액정표시장치는 투명기판 상에 형성되는 게이트라인과, 상기 게이트라인을 덮도록 상기 투명기판 상에 전면 형성되는 게이트절연막과, 상기 게이트라인의 일부와 중첩되도록 상기 게이트절연막 상에 형성되는 활성층과, 상기 게이트라인과 중첩되도록 상기 활성층 상에 형성되어 스토리지 캐패시터를 구성하는 스토리지전극과, 상기 스토리지전극과 접촉하는 화소전극과, 상기 스토리지전극과 화소전극의 중첩영역에서 상기 스토리지전극과 화소전극 사이에 분리 형성되는 보호층을 구비한다.

본 발명에 따른 액정표시장치 및 그 제조방법은 상기 보호층을 형성하거나 스토리지 캐패시터영역의 전면에 투명전극을 형성하여 투명전극의 단선을 방지할 수 있다.

**【대표도】**

도 7

**【명세서】****【발명의 명칭】**

액정표시장치 및 그 제조방법{Apparatus Liquid Crystal Display and Fabricating Method Thereof}

**【도면의 간단한 설명】**

도 1은 종래의 5마스크로 형성되는 액정표시장치를 나타내는 평면도.

도 2a 내지 도 2e는 도 1에서 선 A-A'를 따라 절취하여 나타내는 액정표시장치의 단면도.

도 3은 종래의 회절패턴용 마스크를 사용하여 4 마스크로 형성되는 액정표시장치를 나타내는 평면도.

도 4a 내지 도 4d는 도 3에 도시된 액정표시장치의 제조공정을 단계적으로 설명하는 단면도.

도 5은 종래의 하프턴 마스크를 사용하여 4 마스크로 형성되는 액정표시장치를 나타내는 평면도.

도 6a 내지 도 6d는 도 5에 도시된 액정표시장치의 제조공정을 단계적으로 나타내는 단면도.

도 7은 본 발명의 제 1실시예에 따른 액정표시장치를 나타내는 평면도.

도 8a 내지 8d는 도 11에 도시된 액정표시장치의 제조방법을 나타내는 단면도.

도 9는 본 발명의 제 2실시예에 따른 액정표시장치를 나타내는 평면도.

도 10은 도 9에 도시된 액정표시장치의 제조방법을 나타내는 단면도.

<도면의 주요 부분에 대한 부호의 간단한설명>

1,21,41,61,81 : 투명기판	3,23,43,63,83 : 게이트라인
5,25,45,65,85 : 게이트전극	7,27,47,67,87 : 게이트절연막
9,29,49,69,89 : 활성층	10,30,50,70,90 : 컨택홀
11,31,51,71,91 : 오믹접촉층	13,33,53,73,93 : 데이터라인
15,35,55,75,95 : 소스전극	16,36,56,74,76,96 : 보호층
17,37,57,77,97 : 드레인전극	18,38,58,78,98 : 화소전극
19,39,59,79,99 : 스토리지전극	84 : 포토레지스트 패턴

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19> 본 발명은 액정표시장치 및 그 제조방법에 관한 것으로, 특히, 스토리지 캐패시터 영역의 투명전극의 단선을 방지할 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.

<20> 액티브 매트릭스 구동방식의 액정표시장치에서는 스위칭소자인 박막트랜지스터를 이용하여 자연스러운 동화상을 표시하고 있다. 이러한 액정표시장치는 브라운관에 비하여 소형화가 가능하며, 퍼스널 컴퓨터와 노트북 컴퓨터는 물론, 복사기등의 사무자동화 기기, 휴대전화기나 호출기 등의 휴대기기까지 광범위하게 이용되고 있다.



<21> 도 1은 종래 기술에 따른 5마스크로 형성되는 액정표시장치를 나타내는 평면도이다.

<22> 도 1을 참조하면, 종래의 액정표시장치는 기판(1)상에 형성된 게이트전극(5), 게이트절연막(7), 활성층(9)과, 콘택홀(25a, 25b)을 통해 활성층(9)과 전기적으로 연결되게 형성된 소스 및 드레인전극(15, 17)으로 구성된 박막트랜지스터(Thin Film Transistor; 이하 'TFT'라 함)를 구비한다.

<23> 이러한, TFT는 게이트전극(5)에 인가되는 스캔펄스기간동안 데이터라인(13)상의 데이터신호를 화소전극(55)에 공급하게 된다. 게이트전극(5)은 게이트라인(3)과 연결되며, 소스전극(15)은 데이터라인(13)과 연결된다. 드레인전극(17)은 콘택홀(25a)을 통하여 전도성물질인 인듐-주석-옥사이드(Indium-Tin-Oxide ; 이하'ITO'라 함), 인듐-아연-옥사이드(Indium-Zinc-Oxide ; 이하'IZO'라 함), 인듐-주석-아연-옥사이드(Indium-Tin-Zinc-Oxide ; 이하'ITZO'라 함)로 증착된 화소전극(23)과 접속된다. 게이트전극(5) 및 게이트라인(3)위에는 무기절연물질로 증착된 게이트절연막(7)이 형성되고 그 위에 활성층(9)이 증착된다. 이와 같은 TFT위에는 무기절연재료 또는 유기절연재료로 된 보호층(16)이 형성된다.

<24> 게이트라인(3)상에는 스토리지 캐패시터가 형성된다. 스토리지 캐패시터는 이전 주사기간동안 다음 주사라인의 구동전압을 축적함으로써 구동전압을 낮추는 역할을 한다. 스토리지 캐패시터의 스토리지 전극은 소스전극(15) 및 드레인전극(17)형성시 사용되는 금속 또는 금속합금으로 형성된다. 이 스토리지 전극(19)과 중첩된 게이트라인(3)은 스토리지 캐패시터의 하부전극 역할을 한다. 스토리지 전극(19)은 보호층(16)을 관통하는 콘택홀(10b)을 통하여 화소전극(18)과 접속된다.





- <25> 도 2a 내지 도 2e는 도 1에 도시된 액정표시장치의 제조방법을 나타내는 단면도이다.
- <26> 도 2a를 참조하면, 투명기판(1) 상에 스퍼터링(sputtering)등의 방법으로 알루미늄(Al) 또는 구리(Cu) 등을 증착하여 금속박막을 형성한다. 그리고, 금속박막을 습식방법을 포함하는 포토리소그래피방법으로 패터닝하여 투명기판(1)상에 게이트전극(5)과 게이트라인(3)을 형성한다.
- <27> 도 2b를 참조하면, 투명기판(1)상에 게이트라인 및 게이트전극(5)을 덮도록 게이트절연막(7), 활성층(9) 및 오믹접촉층(11)을 화학기상증착방법(Chemical Vapor Deposition : 이하 'CVD' 라함)으로 순차적으로 형성한다.
- <28> 상기에서 게이트절연막(7)은 질화실리콘 또는 산화실리콘으로 절연물질을 증착하여 형성하고, 활성층(9)은 불순물이 도핑되지 않은 비정질실리콘 또는 다결정실리콘으로 형성된다. 또한, 오믹접촉층(11)은 N형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘 또는 다결정실리콘으로 형성된다.
- <29> 오믹접촉층(11) 및 활성층(9)을 게이트전극(5)과 대응하는 부분에만 잔류되도록 이방식각을 포함하는 포토리소그래피방법으로 게이트절연막(7)이 노출되도록 패터닝한다. 이 때, 활성층(9) 및 오믹접촉층(11)은 게이트전극(5)과 대응하는 부분에만 잔류되도록 한다.
- <30> 도 2c를 참조하면, 게이트절연막(7) 상에 몰리브덴(Mo), MoW, MoTa 또는 MoNb등의 몰리브덴 합금(Mo alloy)을 오믹접촉층(11)을 덮도록 CVD방법 또는 스퍼터링(sputtering)방법으로 증착한다. 상기에서 증착된 금속 또는 금속합금은 오믹접촉층

(11)과 오믹접촉을 이룬다.

<31> 그리고, 금속 또는 금속합금을 게이트절연막(7)이 노출되도록 포토리소그래피방법으로 패터닝하여 게이트라인(3)과 수직되는 데이터라인(13)과 소스 및 드레인전극(15,17)을 형성한다. 이 때, 금속 또는 금속합금을 게이트라인(3)과 중첩되게 잔류하도록 패터닝하여 스토리지 캐패시터의 스토리지 전극(19)을 형성한다. 상기에서 스토리지 캐패시터의 경우에는 스토리지전극(19)은 상부전극이 되고, 게이트라인(3)의 하부전극이 되며, 게이트절연막(7)이 유전막이 된다.

<32> 상기에서 소스 및 드레인전극(15,17) 패터닝시 사이의 게이트전극(5)과 대응하는 부분의 오믹접촉층(11)도 패터닝되도록 하여 활성층(9)을 노출시킨다. 상기에서 활성층(9)의 소스 및 드레인전극(15,17)사이의 게이트전극과 대응하는 부분은 채널이 된다.

<33> 도 2d를 참조하면, 게이트절연층(7)상에 스토리지전극(19), 소스 및 드레인전극(15,17)을 덮도록 질화실리콘 또는 산화실리콘등의 무기절연물질 또는 아크릴계(acryl) 유기화합물, 테프론(Teflon), BCB(benzocyclobutene), 사이토프 (cytop)또는 PFCB(perfluorocyclobutane)등의 유전상수가 작은 유기절연물을 증착하여 보호층(16)을 형성한다. 보호층(16)을 포토리소그래피방법으로 패터닝하여 드레인전극(17)과 스토리지 전극(19)을 노출시키는 제 1 및 제 2콘택홀(10a,10b)을 형성한다.

<34> 도 2e를 참고하면, 보호층(16)상에 ITO, IZO, ITZO 등의 투명한 도전성물질을 제 1 및 제 2콘택홀(10a,10b)을 통해 증착하여 화소전극(18)을 형성한다.

<35> 화소전극(18)은 제 2콘택홀(10b)을 통해 스토리지 전극(19)과 접촉되며, 드레인전극(17)과 제 1콘택홀(10a)을 통해 전기적으로 접촉한다.

<36> 그러나, 5마스크공정에서 게이트전극을 알루미늄으로 사용할 경우에는 알루미늄 표면에 생길 수 있는 힐락의 문제를 해결하기 위해 적어도 2개의 마스크가 더 필요하다. 따라서, 박막트랜지스터 기판을 구성하기 위해 적어도 5 내지 6번의 마스크 공정이 필요하다.

<37> 결국 각 마스크 공정 중 사용되는 원료의 소비와 공정시간은 액정표시장치를 제작하는데 높은 제작비와 더불어 수율을 감소시키는 문제로 대두되고 있어 이러한 문제점을 해결하기 위해 4 마스크공정이 제시되고 있다.

<38> 도 3은 회절 패턴용 마스크를 사용하는 4마스크공정을 나타내는 도면이다.

<39> 도 3을 참조하면, TFT는 데이터라인(33)과 게이트라인(23)의 교차부에 형성되며 액정셀을 구동하는 화소전극(38)과 접속된다. 데이터라인(33)은 TFT반도체층의 소스영역과 접속되고 드레인전극(37)은 상기 반도체층의 드레인영역과 접속되며, 게이트라인(23)은 돌출된 게이트전극(25)을 가진다. 화소전극(18)은 게이트라인(23)과 데이터라인(33)에 의해 분할된 셀영역에 형성되고 콘택홀(30a, 30b)에 의해 스토리지전극(39) 및 드레인전극(37)과 접속된다.

<40> 게이트전극(23)을 구성한 후, 게이트절연막(27), 활성층(29) 및 오믹접촉층(31)을 적층하고 회절용 패턴 마스크를 사용하여 패터닝함으로써, 소스/드레인금속(35, 37)과 활성층(29)을 동시에 식각한다.

<41> 도 4a 내지 도 4d 도 3에 도시된 액정표시장치의 제조방법을 나타내는 도면이다.

<42> 도 4a를 참조하면, 게이트전극(25)을 게이트라인(23)에서 돌출 연장하여 구성하였으나, 게이트라인(23)의 일부에 게이트전극(25)이 정의된 형태로 구성할 수도 있다. 게



이트라인(23)내지 게이트전극(25)의 형성에 사용되는 금속은 일반적으로 크롬(Cr), 몰리브덴(Mo)등을 사용할 수 있으며, 알루미늄계 금속인 알루미늄-네오뎅/몰리브덴(AlNd/Mo)을 사용할 수도 있다. 게이트라인(23)의 제 1층으로 사용된 알루미늄계 금속은 저항이 작기 때문에 게이트라인(23)을 흐르는 신호의 RC지연을 줄일 수 있다. 그러나, 상기 알루미늄계 금속은 화학제품에 대한 내식성이 작기 때문에 식각용액에 의해 식각 침식되어 단선불량이 발생하는 문제가 발생하기 때문에 이를 방지하기 위하여 화학약품에 대한 내식성이 강한 몰리브덴 등의 금속을 사용한다.

<43> 도 4b를 참조하면, 게이트라인(23) 등이 형성된 기판(21)의 전면에 게이트 절연막(27), 반도체 물질인(a-Si)과 불순물이 함유된 비정질 실리콘(n+Si)이 증착된 활성층(29)과, 소스/드레인금속을 연속으로 증착한 후, 제 2마스크인 회절용 패턴으로 패터닝하여, 활성층(29)과 게이트절연막(25)을 식각하고, TFT의 활성층과 소스/드레인금속의 일부분을 식각하여 채널영역에 소스/드레인 금속을 제거함으로써 소스/드레인전극(35,37)을 패터닝한다.

<44> 여기서, 회절 패턴용 마스크의 포토리소그래피공정은 포토레지스트를 도포한후 데이터라인(33)과 TFT채널영역은 회절 패턴용 마스크를 사용하여 노광 및 현상하여 포토레지스트패턴을 형성한다.

<45> TFT채널영역에 부분적으로 노광되는 포토레지스트는 RIE모드나 이방성 에칭모드로 포토레지스트의 에칭 백 과정(photo etch back)을 거쳐 제거되므로써 소스 및 드레인전극(35,37)이 패터닝된다.

<46> 도 4c를 참조하면, 제 3마스크공정에서는 보호막(36)을 패터닝하여 콘택홀(30a,30b)을 형성하는 공정이 추가되는데, 드레인전극(37)상부에 제 1콘택홀(30a) 및 스

토리지전극(39)상부에 제 2콘택홀(30b)을 각각 형성한다.

<47> 제 1콘택홀(30a) 및 제 2콘택홀(30b)은 추후에 형성되는 화소전극(38)과 드레인전극(37) 및 스토리지전극(39)과의 접촉을 위함이다.

<48> 도 4d를 참조하면, 제 3마스크공정으로 보호층(36)이 패터닝된 기판의 전면에 ITO, IZO, ITZO 등의 투명 도전성 금속을 증착하고 제 4마스크로 패터닝하여, 화소전극(38)을 형성한다. 이 때, 화소전극(38)은 드레인전극(37)의 노출부에 의해 측면 접촉되는 동시에 스토리지전극(39)의 상부로 연장되어 제 1 콘택홀(30a)을 통해 스토리지전극(39)과 접촉한다.

<49> 그러나, 이러한 회절 패턴용 마스크를 이용하는 4마스크공정의 경우 회절 패턴이 광과장보다 좁게 패턴을 형성하므로 정밀도가 요구되어 공정이 어렵고 코스트가 높을 수 밖에 없다. 이러한 문제점을 해결하기 위해 하프턴 마스크를 이용한 4마스크공정이 제시되었다.

<50> 도 5은 하프턴 마스크를 사용하는 4마스크공정으로 형성되는 액정표시장치를 나타내는 평면도이다.

<51> 도 5를 참조하면, TFT는 데이터라인(53)과 게이트라인(43)의 교차부에 형성되며 액정셀을 구동하는 화소전극(58)과 접속된다. 데이터라인(53)은 TFT반도체층의 소스영역과 접속되고 드레인전극(57)은 상기 반도체층의 드레인영역과 접속되며, 게이트라인(43)은 돌출된 게이트전극(45)을 가진다. 화소전극(58)은 게이트라인(43)과 데이터라인(53)에 의해 분할된 셀영역에 형성되고 콘택홀(50)에 의해 스토리지전극(59) 및 드레인전극(57)과 접속된다.

- <52>       상기 TFT를 구성한 후, 보호층(56)을 적층하고 하프턴 마스크를 사용하여 패터닝하므로써, 보호층(56)과 활성층(49)을 동시 식각하는 공정 중, 박막트랜지스터 상부의 일부에 보호층(56)을 남겨두어 이를 보호하는 구조가 가능하다.
- <53>       도 6a 내지 도 6d는 도 5에 도시된 액정표시장치의 제조방법을 나타내는 단도면이다.
- <54>       도 6a를 참고하면, 투명기관(41) 상에 스퍼터링(sputtering)등의 방법으로 알루미늄-네오듐(AlNd) 또는 몰리브덴(Mo) 등을 증착하여 금속박막을 형성한다. 그리고, 금속박막을 습식방법을 포함하는 포토리소그래피방법으로 패터닝하여 투명기관(41)상에 게이트전극(45)과 게이트라인(43)을 형성한다. 게이트라인(43) 및 게이트전극(45)의 형성에 사용되는 금속은 일반적으로 크롬(Cr), 몰리브덴(Mo)등을 사용할 수 있으며, 알루미늄계 금속인 알루미늄-네오듐/몰리브덴(AlNd/Mo)을 사용할 수도 있다. 게이트라인(43)을 형성하는 데 사용된 알루미늄계 금속은 저항이 작기 때문에 게이트라인(43)을 흐르는 신호의 RC지연을 줄일 수 있다. 그러나, 상기 알루미늄계 금속은 화학제품에 대한 내식성이 작기 때문에 식각용액에 의해 식각 침식되어 단선불량이 발생하는 문제가 발생하기 때문에 이를 방지하기 위하여 화학약품에 대한 내식성이 강한 몰리브덴 등의 금속을 사용한다.
- <55>       도 6b를 참고하면, 투명기관(41)상에 게이트라인(43) 및 게이트전극(45)을 덮도록 게이트절연막(47), 활성층(49), 오믹접촉층(51) 및 소스/드레인금속층을 화학기상증착방법(Chemical Vapor Deposition : 이하 'CVD' 라함)으로 순차적으로 형성한다.
- <56>       상기에서 게이트절연막(47)은 질화실리콘 또는 산화실리콘으로 절연물질을 증착하

여 형성하고, 활성층(49)은 불순물이 도핑되지 않은 비정질실리콘 또는 다결정실리콘으로 형성하고, 오믹접촉층(51)은 N형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘 또는 다결정실리콘으로 형성된다. 또한, 소스/드레인금속층은 몰리브덴(Mo), MoW, MoTa 또는 MoNb등의 몰리브덴 합금(Mo alloy)으로 형성한다.

<57>       상기에서 증착된 소스/드레인 금속층을 활성층(49)이 노출되도록 포토리소그래피방법으로 패터닝하여 게이트라인(43)과 수직되는 데이터라인(53)과 소스 및 드레인전극(55,57)을 형성한다. 이 때, 소스/드레인 금속층을 게이트라인(43)과 중첩되게 잔류하도록 습식식각으로 패터닝하여 스토리지 전극(59)을 형성한다. 그런 다음, 소스/드레인 금속층을 마스크로 하여 오믹접촉층(51)의 일부분을 누설전류를 줄이는 목적으로 식각한다.

<58>       도 6c를 참고하면, 보호막(56)을 패터닝하기 위해 제 3마스크로 패터닝하는 공정이다. 제 3마스크는 반투과막을 사용하는 하프턴 마스크로서, 입사광을 차단하는 차단부와 입사광의 일부를 투과시키는 반투과부와 입사광의 거의 전부를 투과시키는 오픈부로 구성된다.

<59>       활성층(49)상에 상술한 구조를 덮도록 질화실리콘, 산화실리콘 등의 무기절연물질, 또는 벤조사이클로 부텐(Benzocyclobutene)과 아크릴(acryl)계 수지(resin)등이 포함된 유기절연물질을 증착하여 보호층(56)을 형성한다. 보호층(56)을 패터닝하여 TFT의 드레인전극(57)을 노출시키는 콘택홀(50)을 형성한다.

<60>       상기에서 TFT에서는 소스 및 드레인전극(55,57)의 측면과 상부 일부는 보호막(56)이 식각되어 노출되며, 이 때, 보호막(56)이 패터닝된 부분을 제외한 전영역에 위치한 활성층(39)이 동시에 식각되어, 소스/드레인전극(55,57)과 활성층(49)이 수직구조로 형

성된다. 또한, 스토리지 캐패시터영역에서는 스토리지전극(59)을 패턴으로 이용하여 활성층을 건식 식각한다.

<61> 도 6d를 참고하면, 보호층(56)이 형성된 기판의 전면에 ITO, IZO, ITZO 등의 투명 도전성 금속을 증착하고 제 4마스크로 패터닝하여, 화소전극(58)을 형성한다. 이 때, 화소전극(58)은 드레인전극(57)의 노출부에 의해 측면 접촉하며 스토리지 캐패시터영역에서는 스토리지전극의 일부와 게이트라인에 형성된다.

<62> 그러나, 활성층과 보호층을 동시에 식각할 때 스토리지 캐패시터영역에서 스토리지 전극과 활성층사이에 단차부 와류가 형성되어 활성층의 측면에 언더컷(Q)이 발생한다. 그로 인해, 언더컷(Q)부분에서 투명전극이 단선되는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<63> 따라서, 본 발명의 목적은 스토리지 캐패시터영역의 투명전극의 단선을 방지할 수 있는 액정표시장치 및 그 제조방법을 제공하는 데 있다.

#### 【발명의 구성 및 작용】

<64> 상기 목적을 달성하기 위한 본 발명의 제 1실시 예에 따른 액정표시장치는 투명기판 상에 형성되는 게이트라인과, 상기 게이트라인을 덮도록 상기 투명기판 상에 전면 형성되는 게이트절연막과, 상기 게이트라인의 일부와 중첩되도록 상기 게이트절연막 상에 형성되는 활성층과, 상기 게이트라인과 중첩되도록 상기 활성층 상에 형성되어 스토리지 캐패시터를 구성하는 스토리지전극과, 상기 스토리지전극과 접촉하는 화소전극과, 상기



스토리지전극과 화소전극의 중첩영역에서 상기 스토리지전극과 화소전극 사이에 분리 형성되는 보호층을 구비한다.

<65>       상기 목적을 달성하기 위한 본 발명의 제 2 실시 예에 따른 액정표시장치는 투명기판 상에 형성되는 게이트라인과, 상기 게이트라인을 덮도록 상기 투명기판 상에 전면 형성되는 게이트절연막과, 상기 게이트라인의 일부와 중첩되도록 상기 게이트절연막 상에 형성되는 활성층과, 상기 게이트라인과 중첩되도록 상기 활성층 상에 형성되어 스토리지 캐패시터를 구성하는 스토리지전극과, 상기 스토리지캐패시터전극과 이에 인접한 주변영역을 덮도록 형성되는 화소전극을 구비한다.

<66>       상기 목적을 달성하기 위한 본 발명의 제 1 실시 예에 따른 액정표시장치의 제조방법은 투명기판상에 금속을 증착하여 게이트라인을 형성하는 단계와, 상기 게이트라인을 덮도록 절연물질을 증착하여 게이트절연막을 형성하는 단계와, 상기 게이트절연막의 일부와 중첩되도록 활성층을 형성하는 단계와, 상기 활성층상에 형성되어 상기 게이트절연막 및 상기 게이트라인과 함께 스토리지 캐패시터를 구성하는 스토리지전극을 형성하는 단계와, 상기 스토리지전극과 대응되는 영역에 포토레지스트 패턴을 형성하는 단계와, 상기 포토레지스트 패턴을 이용하여 상기 보호층을 형성하는 단계와, 상기 스토리지전극과 접촉하며 상기 보호층상에 화소전극을 형성하는 단계를 포함한다.

<67>       상기 목적을 달성하기 위한 본 발명의 제 2 실시 예에 따른 액정표시장치의 제조방법은 투명기판 상에 금속을 증착하여 게이트라인을 형성하는 단계와, 상기 게이트라인을 덮도록 상기 투명기판 상에 게이트절연막을 전면 형성하는 단계와, 상기 게이트라인의 일부와 중첩되도록 상기 게이트절연막 상에 활성층을 형성하는 단계와, 상기 게이트라인과 중첩되도록 상기 활성층 상에 스토리지 캐패시터를 구성하는 스토리지전극을 형성하

는 단계와, 상기 스토리지캐패시터전극과 이에 인접한 주변영역을 덮도록 화소전극을 형성하는 단계를 포함한다.

<68>       상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 설명예들에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<69>       이하, 도 7 내지 도 10을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

<70>       도 7은 본 발명의 제 1 실시 예에 따른 하프턴 마스크를 사용하는 4 마스크공정으로 형성되는 액정표시장치를 나타내는 평면도이다.

<71>       도 7을 참조하면, TFT는 데이터라인(73)과 게이트라인(63)의 교차부에 형성되며 액정셀을 구동하는 화소전극(78)과 접속된다. 데이터라인(73)은 TFT반도체층의 소스영역과 접속되고 드레인전극(77)은 상기 반도체층의 드레인영역과 접속되며, 게이트라인(63)은 돌출된 게이트전극(65)을 가진다. 화소전극(78)은 게이트라인(63)과 데이터라인(73)에 의해 분할된 셀영역에 형성되고 콘택홀(70a,70b)에 의해 스토리지전극(79) 및 드레인전극(77)과 접속된다.

<72>       상기 TFT를 구성한 후, 보호층(76)을 적층하고 하프턴 마스크를 사용하여 패터닝함으로써, 보호층(76)과 활성층(69)을 동시에 식각하는 공정 중, 박막트랜지스터 상부의 일부에 보호층(76)을 남겨두어 이를 보호하는 구조가 가능하다.

<73>       도 8a 내지 도 8d는 도 7에 도시된 액정표시장치의 제조방법을 나타내는 단도면이다.

<74>       도 8a를 참고하면, 투명기판(61) 상에 스퍼터링(sputtering)등의 방법으로 알루미늄

늄-네오뒴(AlNd) 또는 몰리브덴(Mo) 등을 증착하여 금속박막을 형성한다. 그리고, 금속 박막을 습식방법을 포함하는 포토리소그래피방법으로 패터닝하여 투명기판(61)상에 게이트전극(65)과 게이트라인(63)을 형성한다. 게이트라인(63) 및 게이트전극(65)의 형성에 사용되는 금속은 일반적으로 크롬(Cr), 몰리브덴(Mo)등을 사용할 수 있으며, 알루미늄계 금속인 알루미늄-네오뒴/몰리브덴(AlNd/Mo)을 사용할 수도 있다. 게이트라인(63)을 형성하는 데 사용된 알루미늄계 금속은 저항이 작기 때문에 게이트라인(63)을 흐르는 신호의 RC지연을 줄일 수 있다. 그러나, 상기 알루미늄계 금속은 화학제품에 대한 내식성이 작기 때문에 식각용액에 의해 식각 침식되어 단선불량이 발생하는 문제가 발생하기 때문에 이를 방지하기 위하여 화학약품에 대한 내식성이 강한 몰리브덴 등의 금속을 사용한다.

<75> 도 8b를 참고하면, 투명기판(61)상에 게이트라인(63) 및 게이트전극(65)을 덮도록 게이트절연막(67), 활성층(69), 오믹접촉층(71) 및 소스/드레인금속층을 화학기상증착방법(Chemical Vapor Deposition : 이하 'CVD' 라함)으로 순차적으로 형성한다.

<76> 상기에서 게이트절연막(67)은 질화실리콘 또는 산화실리콘으로 절연물질을 증착하여 형성하고, 활성층(69)은 불순물이 도핑되지 않은 비정질실리콘 또는 다결정실리콘으로 형성하고, 오믹접촉층(71)은 N형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘 또는 다결정실리콘으로 형성된다. 또한, 소스/드레인금속층은 몰리브덴(Mo), MoW, MoTa 또는 MoNb등의 몰리브덴 합금(Mo alloy)으로 형성한다.

<77> 상기에서 증착된 소스/드레인 금속층을 활성층(69)이 노출되도록 포토리소그래피방법으로 패터닝하여 게이트라인(63)과 수직되는 데이터라인(73)과 소스 및 드레인전극(75,77)을 형성한다. 이 때, 소스/드레인 금속층을 게이트라인(63)과 중첩되게 잔류하

도록 패터닝하여 스토리지 캐패시터의 스토리지 전극(79)을 형성한다. 그런 다음, 소스/드레인 금속층을 마스크로 하여 오믹접촉층(71)의 일부분을 누설전류를 줄이는 목적으로 식각한다.

<78> 도 8c를 참고하면, 보호막(76)을 패터닝하기 위해 제 3마스크로 패터닝하는 공정이다. 제 3마스크는 반투과막을 사용하는 하프턴 마스크로서, 입사광을 차단하는 차단부와 입사광의 일부를 투과시키는 반투과부와 입사광의 거의 전부를 투과시키는 오픈부로 구성된다.

<79> 활성층(69)상에 상술한 구조를 덮도록 질화실리콘, 산화실리콘 등의 무기절연물질, 또는 벤조사이클로 부텐(Benzocyclobutene)과 아크릴(acryl)계 수지(resin)등이 포함된 유기절연물질을 증착하여 보호층(76)을 형성한다.

<80> 보호층상에 포토레지스트를 도포하고 노광 및 현상하여 드레인전극 및 스토리지전극의 양측과 대응하는 부분에 포토레지스트 패턴을 형성한다. 포토레지스트 패턴을 사용하여 게이트절연막(67)이 노출되도록 식각하여 TFT의 소스 및 드레인전극(75,77)상에 제 1보호층(76a)이 형성되고, 스토리지 캐패시터 영역의 스토리지전극(79) 및 종래의 길이보다 더 길게 신장된 활성층(69)상에 제 2 보호층(76b)을 형성된다. 또한, TFT의 드레인전극(77)을 노출시키는 컨택홀(70)을 형성된다.

<81> 상기에서 소스 및 드레인전극(75,77)의 측면과 상부 일부는 보호막(76)이 식각되어 노출되며, 이 때, 보호막(76)이 패터닝된 부분을 제외한 전영역에 위치한 활성층(69)이 동시에 식각되어, 소스/드레인전극(75,77)과 활성층(69)이 수직구조로 형성된다.

<82> 도 8d를 참고하면, 보호층(76)이 형성된 기판의 전면에 IT0, IZO, ITZO 등의 투명

도전성 금속을 증착하고 제 4마스크로 패터닝하여, 화소전극(78)을 형성한다. 이 때, 화소전극(78)은 드레인전극(77)의 노출부에 의해 측면 접촉되는 동시에 스토리지 전극(79)의 상부로 연장되어 스토리지 콘택홀을 통해 스토리지 전극(79)과 접촉한다.

<83> 도 9은 본 발명의 제 2 실시 예에 따른 액정표시장치를 나타내는 평면도이다.

<84> 도 10은 도 9에 도시된 액정표시장치를 선 'E-E''를 따라 절취한 부분을 나타내는 단면도이다.

<85> 도 9 및 도 10을 참조하면, TFT는 데이터라인(93)과 게이트라인(83)의 교차부에 형성되며 액정셀을 구동하는 화소전극(98)과 접속된다. 데이터라인(93)은 TFT반도체층의 소스영역과 접속되고 드레인전극(97)은 상기 반도체층의 드레인영역과 접속되며, 게이트라인(83)은 돌출된 게이트전극(85)을 가진다. 화소전극(98)은 게이트라인(83)과 데이터라인(93)에 의해 분할된 셀영역에 형성되고 콘택홀에 의해 스토리지전극(99) 및 드레인전극(97)과 접속된다.

<86> 스토리지 캐패시터영역의 투명전극(98)은 스토리지 캐패시터영역 가장자리 부분까지 형성된다.

<87> 그러므로, 보호층과 활성층을 동시에 식각하여 스토리지 캐패시터영역에 활성층이 과식각되어도 투명전극이 스토리지전극의 가장자리 부분까지 형성되므로 투명전극이 단선되는 불량이 생기는 단점을 해결할 수 있다.

#### 【발명의 효과】

<88> 상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그 제조방법은 4마스크공정에

서 스토리지 캐패시터영역에 별도의 보호층패턴을 형성하거나, 스토리지 캐패시터영역의 가장자리 부분에 투명전극을 게이트절연막상까지 형성하여 투명전극의 단선을 방지할 수 있으며 뿐만 아니라 스텝 커버리지를 향상시킬 수 있다.

<89>       이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**【특허청구범위】****【청구항 1】**

투명기판 상에 형성되는 게이트라인과,  
상기 게이트라인을 덮도록 상기 투명기판 상에 전면 형성되는 게이트절연막과,  
상기 게이트라인의 일부와 중첩되도록 상기 게이트절연막 상에 형성되는 활성층과,  
상기 게이트라인과 중첩되도록 상기 활성층 상에 형성되어 스토리지 캐패시터를  
구성하는 스토리지전극과,  
상기 스토리지전극과 접촉하는 화소전극과,  
상기 스토리지전극과 화소전극의 중첩영역에서 상기 스토리지전극과 화소전극 사이  
에 분리 형성되는 보호층을 구비하는 것을 특징으로 하는 액정표시장치.

**【청구항 2】**

제 1항에 있어서,  
상기 보호층은 상기 스토리지캐패시터의 하부 양측 가장자리부분에 분리되어 형성  
되는 것을 특징으로 하는 액정표시장치.

**【청구항 3】**

제 1항에 있어서,  
상기 활성층은 하프턴 마스크를 이용하여 4마스크로 형성되는 것을 특징으로 하는  
액정표시장치.

**【청구항 4】**

투명기판 상에 형성되는 게이트라인과,

상기 게이트라인을 덮도록 상기 투명기판 상에 전면 형성되는 게이트절연막과,

상기 게이트라인의 일부와 중첩되도록 상기 게이트절연막 상에 형성되는 활성층과,

상기 게이트라인과 중첩되도록 상기 활성층 상에 형성되어 스토리지 캐패시터를 구성하는 스토리지전극과,

상기 스토리지캐패시터전극과 이에 인접한 주변영역을 덮도록 형성되는 화소전극을 구비하는 것을 특징으로 하는 액정표시장치.

#### 【청구항 5】

제 1항에 있어서,

상기 활성층은 하프턴 마스크를 이용하여 4마스크로 형성되는 것을 특징으로 하는 액정표시장치.

#### 【청구항 6】

투명기판상에 금속을 증착하여 게이트라인을 형성하는 단계와,

상기 게이트라인을 덮도록 절연물질을 증착하여 게이트절연막을 형성하는 단계와,

상기 게이트절연막의 일부와 중첩되도록 활성층을 형성하는 단계와,

상기 활성층상에 형성되어 상기 게이트절연막 및 상기 게이트라인과 함께 스토리지 캐패시터를 구성하는 스토리지전극을 형성하는 단계와,

상기 스토리지전극과 대응되는 영역에 포토레지스트 패턴을 형성하는 단계와,

상기 포토레지스트 패턴을 이용하여 상기 보호층을 형성하는 단계와,

상기 스토리지전극과 접촉하며 상기 보호층상에 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.



**【청구항 7】**

제 6항에 있어서,

상기 보호층은 상기 스토리지캐패시터의 하부 양측 가장자리부분에 분리되어 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

**【청구항 8】**

제 6항에 있어서,

상기 활성층은 하프턴 마스크를 이용하여 4마스크로 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

**【청구항 9】**

투명기관 상에 금속을 증착하여 게이트라인을 형성하는 단계와,

상기 게이트라인을 덮도록 상기 투명기관 상에 게이트절연막을 전면 형성하는 단계와,

상기 게이트라인의 일부와 중첩되도록 상기 게이트절연막 상에 활성층을 형성하는 단계와,

상기 게이트라인과 중첩되도록 상기 활성층 상에 스토리지 캐패시터를 구성하는 스토리지전극을 형성하는 단계와,

상기 스토리지캐패시터전극과 이에 인접한 주변영역을 덮도록 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

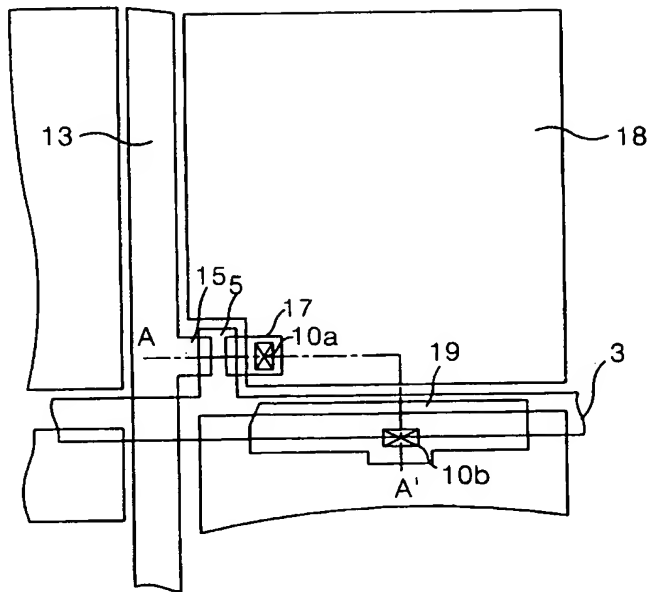
**【청구항 10】**

제 9항에 있어서,

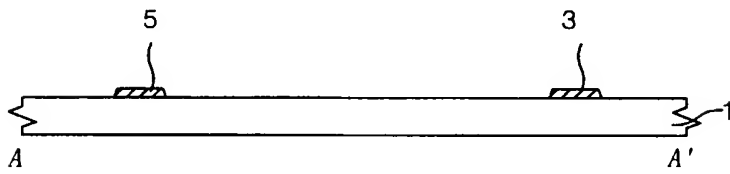
상기 활성층은 하프턴 마스크를 이용하여 4마스크로 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

## 【도면】

【도 1】



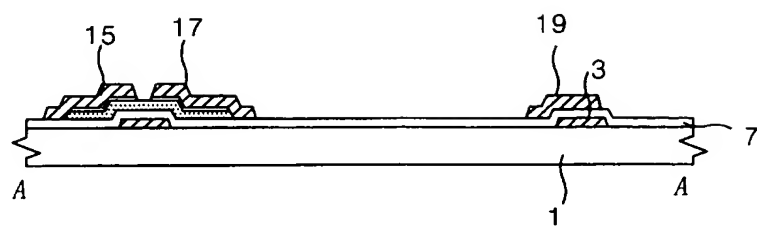
【도 2a】



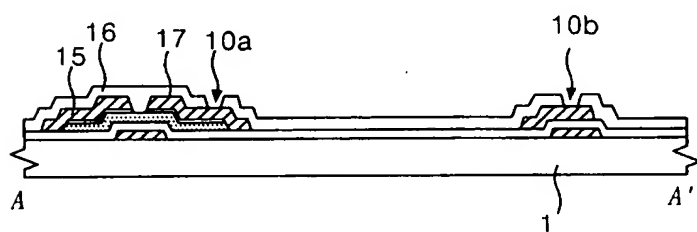
【도 2b】



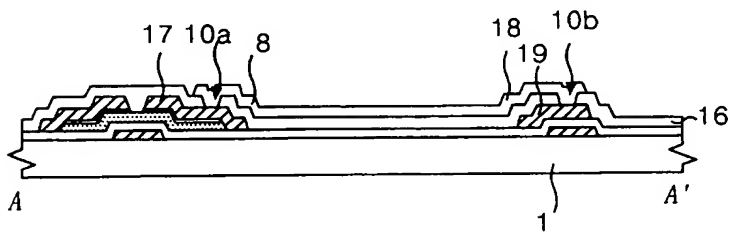
【도 2c】



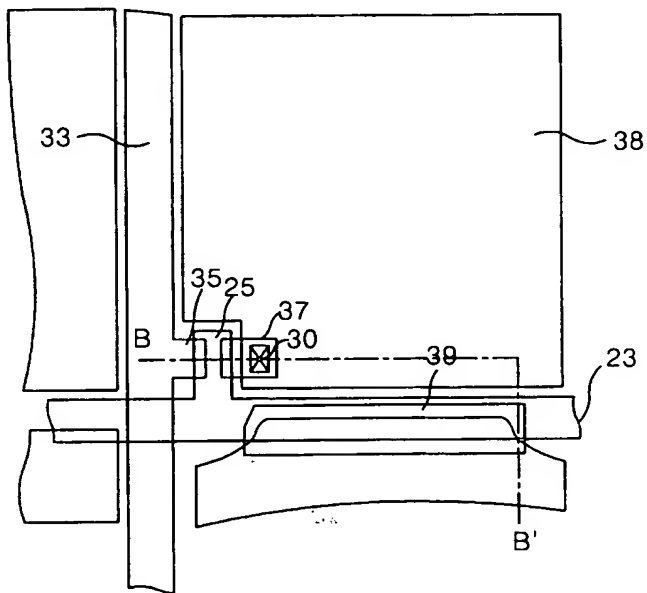
【도 2d】



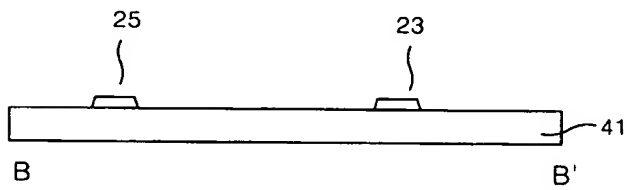
【도 2e】



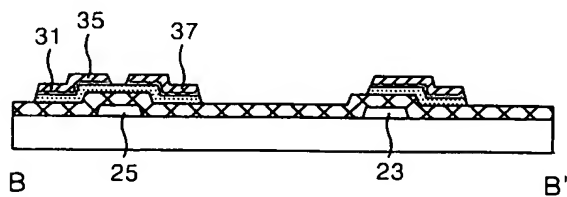
【図 3】



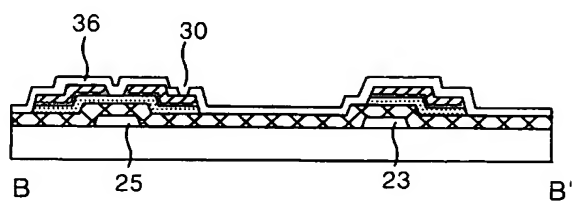
【図 4a】



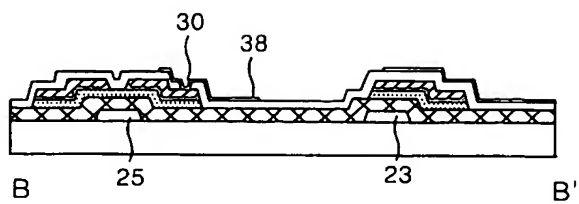
【図 4b】



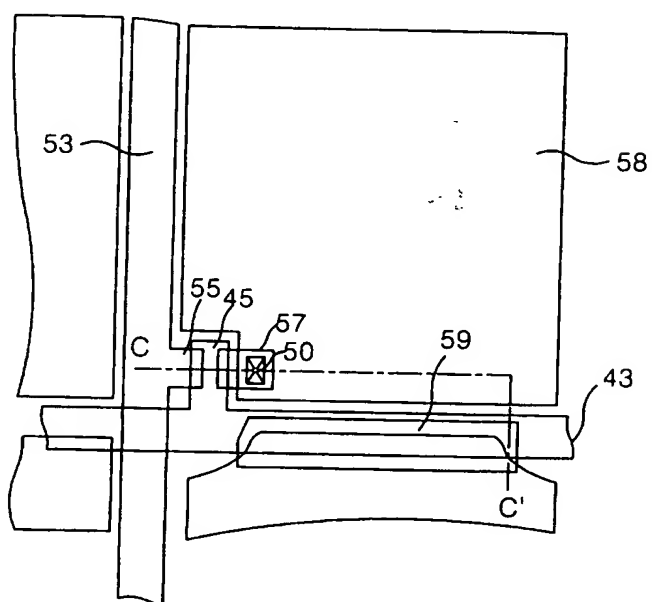
【図 4c】



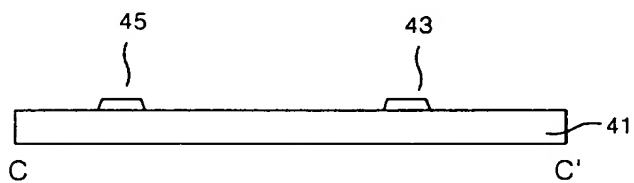
【도 4d】



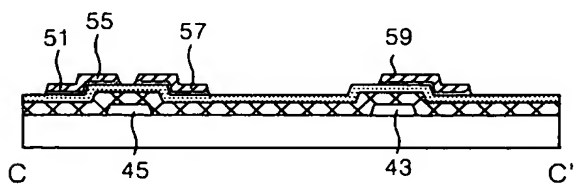
【도 5】



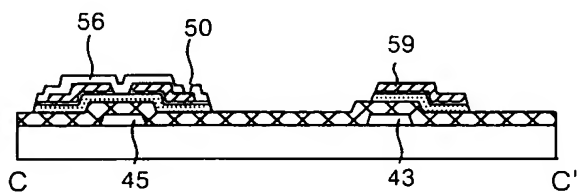
【도 6a】



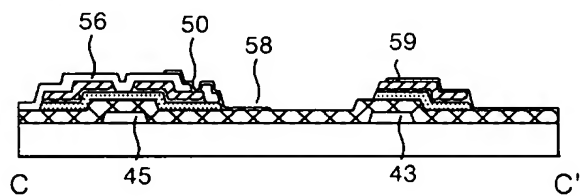
【도 6b】



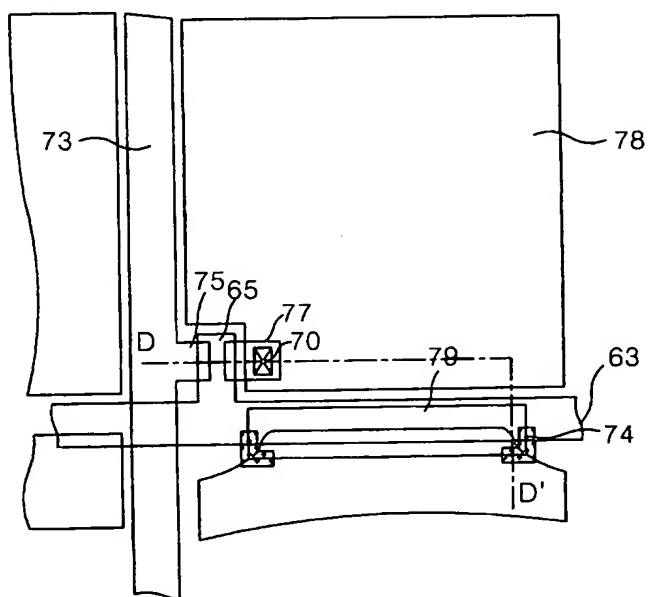
【図 6c】



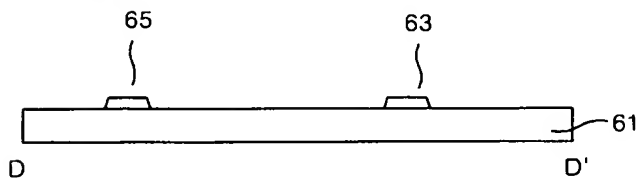
【図 6d】



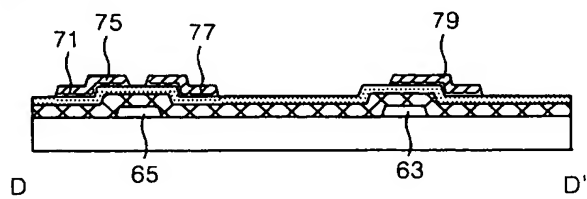
【図 7】



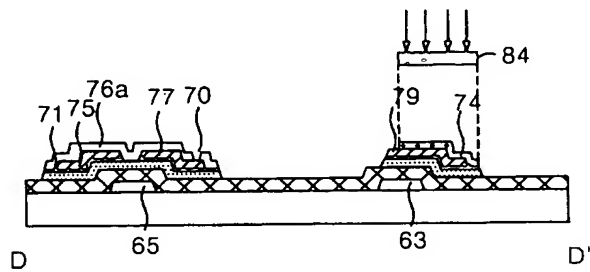
【図 8a】



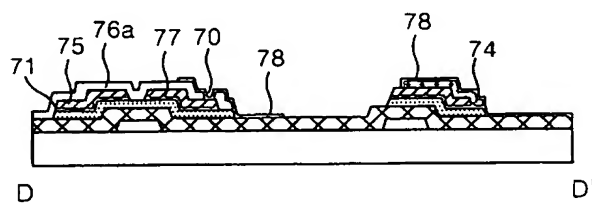
【도 8b】



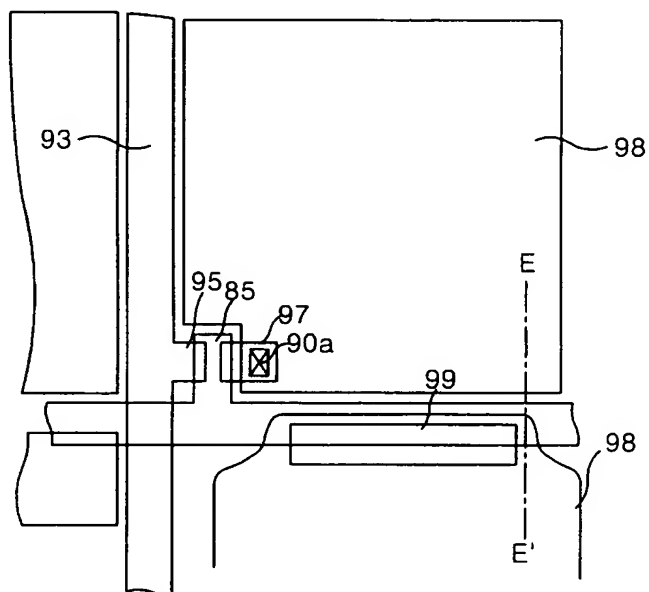
【도 8c】



【도 8d】



【도 9】





【도 10】

